

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-260645

(43)Date of publication of application : 16.09.1994

(51)Int.Cl.

H01L 29/784
G02F 1/136
H01L 21/90
H01L 29/40
H01L 21/336

(21)Application number : 05-043672

(71)Applicant : KODO EIZO GIJUTSU KENKYUSHO:KK

(22)Date of filing : 04.03.1993

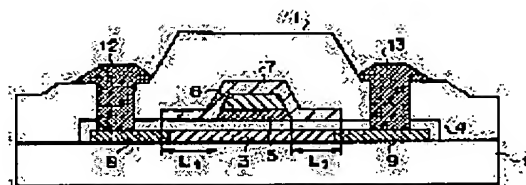
(72)Inventor : YUDASAKA KAZUO
TAKENAKA SATOSHI

(54) THIN-FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To materialize a liquid crystal display little in flicker or display irregularity and excellent in gas preservation property by lowering the resistance of the gate wire of a film transistor without lowering the yield rate, and also, reducing an off-leak current.

CONSTITUTION: A two-layer film, where a silicide film 6 is stacked on a polycrystalline silicon film 5 where impurities are added, is patterned, and then a high-resistance polycrystalline silicon film 7 is stacked at the uppermost layer, and this is patterned thicker than the two-layer film. A source 8 and a drain 9 are formed by implanting ions into this pattern in self-alignment manner, with the resist mask of the high-resistance polycrystalline silicon film at the uppermost layer left, whereby it is made offset structure. On the other hand, the resistance of the polycrystalline film at the uppermost layer is lowered, and after exfoliation of the resist mask, ions are implanted to make it LDD structure.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-260645

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 21/90	C	7514-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 G
		9056-4M		3 1 1 S
審査請求 有 請求項の数10 O L (全 11 頁) 最終頁に続く				

(21)出願番号 特願平5-43672

(22)出願日 平成5年(1993)3月4日

(71)出願人 391000966

株式会社高度映像技術研究所

東京都新宿区西新宿2丁目1番1号 新宿

三井ビル24階 私書箱283号

(72)発明者 湯田坂 一夫

東京都新宿区西新宿4-15-3 三省堂新

宿ビル4階株式会社高度映像技術研究所内

(72)発明者 竹中 敏

東京都新宿区西新宿4-15-3 三省堂新

宿ビル4階株式会社高度映像技術研究所内

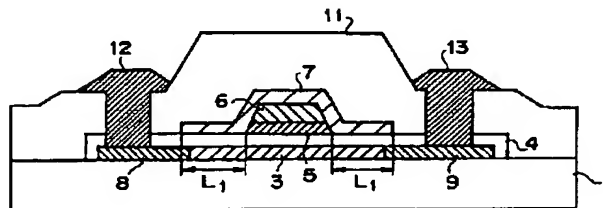
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 薄膜半導体装置およびその製造方法

(57)【要約】 (修正有)

【目的】 歩留りを低下させることなく薄膜トランジスタのゲート線抵抗を低抵抗化すると共に、オフリーク電流を低減させて、フリッカ、あるいは表示ムラの少なくガス保持特性の優れた液晶ディスプレイを実現する。

【構成】 不純物添加された多結晶シリコン膜5上にシリサイド膜6を積層した2層膜をパターニングした後、最上層に高抵抗の多結晶シリコン膜7を積層し、これを前記2層膜よりも太くパターニングする。該最上層の高抵抗の多結晶シリコン膜のレジストマスクを残したまま、このパターンに対し自己整合的にイオン注入し、ソース8、ドレイン9を形成してオフセットゲート構造とする。一方、最上層の多結晶シリコン膜を低抵抗とし、レジストマスクを剥離してからイオン注入してLDD構造を形成する。



1

【特許請求の範囲】

【請求項1】 ソース領域、ドレイン領域、ゲート絶縁膜およびゲート電極を有するプレーナー型薄膜半導体装置において、

前記ゲート絶縁膜の上に形成されるゲート電極は、最下層の不純物添加された多結晶シリコン薄膜と、中間層のシリサイド膜と、これら2層構造の上に積層された最上層の高抵抗の多結晶シリコン膜とから構成される3層ゲート電極であることを特徴とする薄膜半導体装置。

【請求項2】 ソース領域、ドレイン領域、ゲート絶縁膜およびゲート電極を有するプレーナー型薄膜半導体装置において、

前記ゲート絶縁膜の上に形成されるゲート電極は、最下層の不純物添加された多結晶シリコン薄膜と、中間層のシリサイド膜と、これら2層構造の上に積層された最上層の多結晶シリコン膜とから構成される3層ゲート電極であり、かつ前記最上層の多結晶シリコン膜のパターンをマスクとした不純物のイオン注入により形成されたLDD構造を有することを特徴とする薄膜半導体装置。

【請求項3】 請求項1または2に記載の薄膜半導体装置において、前記2層構造のパターン寸法は、前記最上層の高抵抗の多結晶シリコン膜のパターン寸法よりも小さく、かつ、前記2層構造のパターンは、前記最上層の高抵抗の多結晶シリコン膜のパターンにより完全に覆われていることを特徴とする薄膜半導体装置。

【請求項4】 請求項1または2に記載の薄膜半導体装置において、前記ソース領域およびドレイン領域は、前記最上層の高抵抗の多結晶シリコン膜のパターンに対して自己整合的に形成されたものであることを特徴とする薄膜半導体装置。

【請求項5】 請求項1または2に記載の薄膜半導体装置において、前記シリサイド膜は、コバルトシリサイド(CoSi₂)、ニッケルシリサイド(NiSi)、チタンシリサイド(TiSi₂)、モリブデンシリサイド(MoSi₂)、およびタングステンシリサイド(WSi₂)からなる群より選ばれた材料を含むことを特徴とする薄膜半導体装置。

【請求項6】 請求項1または2に記載の薄膜半導体装置において、前記3層ゲート電極における最下層の不純物添加された多結晶シリコン薄膜は、リン、砒素、およびボロンからなる群より選ばれた不純物元素が添加されたものであることを特徴とする薄膜半導体装置。

【請求項7】 (a) 絶縁性非晶質材料からなる基板上に第1の半導体層を形成し、該半導体層上にゲート絶縁膜を形成する工程と、

(b) 該ゲート絶縁膜上に不純物添加された多結晶シリコン膜を成膜する工程と、

(c) 該不純物添加された多結晶シリコン膜上にシリサイド膜を成膜する工程と、

(d) 1回のフォト工程により、前記不純物添加された

2

多結晶シリコン膜とシリサイド膜の2層膜を同時にパターンニングする工程と、

(e) 前記パターンニングされた2層膜の上に最上層の高抵抗の多結晶シリコン膜を成膜する工程と、

(f) レジストパターンを形成し、該レジストパターンをマスクとしてエッチングを行い、前記最上層の高抵抗の多結晶シリコン膜をレジストパターンと同じパターンに加工する工程と、

(g) 前記レジストパターンをマスクとして不純物をイオン注入することにより、前記高抵抗の多結晶シリコン膜のパターンに対して自己整合的に前記第1の半導体層にソース領域およびドレイン領域を形成する工程と、

(h) 前記レジストパターンを剥離した後に、層間絶縁膜を成膜する工程と、

(i) フォト工程により、前記層間絶縁膜にコンタクトホールを形成して前記ソース領域およびドレイン領域の上に電極を形成する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

【請求項8】 請求項7記載の薄膜半導体装置の製造方法において、

前記(f)工程～(i)工程に代えて、

(f') レジストパターンを形成し、該レジストパターンをマスクとしてエッチングを行い、前記最上層の多結晶シリコン膜をレジストパターンと同じパターンに加工する工程と、

(g') 前記レジストパターンを剥離する工程と、

(h') 層間絶縁膜を成膜した後に、前記最上層の多結晶シリコン膜のパターンをマスクとして不純物をイオン注入することにより、前記最上層の多結晶シリコン膜のパターンに対して自己整合的に前記第1の半導体層にソース領域およびドレイン領域を形成すると同時に、前記シリコン膜とシリサイド膜の2層膜のパターンに対して自己整合的にLDD領域を形成する工程と、

(i') フォト工程により、前記層間絶縁膜にコンタクトホール形成して前記ソース領域およびドレイン領域の上に電極を形成する工程を含むことを特徴とする薄膜半導体装置の製造方法。

【請求項9】 請求項8記載の薄膜半導体装置の製造方法において、

前記(h')工程および(i')工程に代えて、

(h'') 前記最上層の多結晶シリコン膜のパターンをマスクとして不純物をイオン注入することにより、前記最上層の多結晶シリコン膜のパターンに対して自己整合的に前記第1の半導体層にソース領域およびドレイン領域を形成すると同時に、前記シリコン膜とシリサイド膜の2層膜のパターンに対して自己整合的にLDD領域を形成する工程と、

(i'') 層間絶縁膜を成膜する工程と、

(j) フォト工程により、前記層間絶縁膜にコンタクトホールを形成して前記ソース領域およびドレイン領域の

3

上に電極を形成する工程を含むことを特徴とする薄膜半導体装置の製造方法。

【請求項10】 請求項7、8または9のいずれかに記載の薄膜半導体装置の製造方法において、前記(b)工程における最下層の不純物添加された多結晶シリコン薄膜の成膜は、多結晶シリコン薄膜へのイオン注入法、LPCVD (Low Pressure Chemical Vapor Deposition) 法、PECVD (Plasma Enhanced CVD) 法、スパッタ法、または拡散法の方法によりなされることを特徴とする薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ゲート電極の配線抵抗が非常に小さく、しかもオフリーク電極の極めて少ない薄膜半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 薄膜トランジスタは、アクティブマトリクスパネルにおいて画素のスイッチング素子やドライバ回路、あるいは密着型イメージセンサ、さらにはSRAM (Static Random Access Memories) 等に応用されている。

【0003】 しかしながら、従来の薄膜トランジスタにおいては、ゲート電極は不純物添加された多結晶シリコン膜1層のみで形成されていた。この不純物添加多結晶シリコン膜をたとえば3500Åの厚さに堆積させたとしても、そのシート抵抗は20Ω/□程度にしか下がらないことが報告されている【電子情報通信学会技術研究報告、SDM91-164、電子情報通信学会、1991年】。

【0004】 この従来のゲート電極を液晶ディスプレイに応用した場合の問題点を以下に述べる。

【0005】 第1の問題点は、ゲート線断線が線欠陥となり、この線欠陥が液晶ディスプレイの品質を低下させ、歩留りを低下させることである。すなわち、液晶ディスプレイの駆動方法としては、通常、ゲート線に左右両側からゲート信号を入れる。例えばゲート線がある1点で断線していても、ゲート線には両側からゲート信号がくる。ところが、ゲート線の抵抗が高い場合にはゲート信号の遅延が無視できなくなり、断線付近の画素の応答の遅れが目立つようになる。また、ゲート線とソース線の短絡が発生した場合にはこの短絡点の両側のゲート線を切断して短絡の影響をなくしたいところだが、ゲート線抵抗が高いために逆に線欠陥になってしまう。ゲート線が低抵抗化できれば、この両側からくるゲート信号の遅延は問題にならない程度に小さくなり、液晶ディスプレイの表示画面にはなんら影響がでなくなる。

【0006】 第2の問題点は、フリッカすなわち画面のちらつき、あるいは表示ムラを抑えることができないことがある。すなわち、ゲート線に矩形パルスを入力した

4

際に、ゲート線の時定数 $\tau = R \times C$ (R はゲート線抵抗、 C はゲート線容量) が大きいと画面の中央部では、前記矩形パルスの波形がなまってしまい画素トランジスタの立ち上がり特性がばらつき、その結果、フリッカとなって現れる。ゲート線抵抗が高いと時定数 τ が大きくなるのでフリッカを抑えることはできない。

【0007】 そして、従来のゲート電極を、大画面あるいはハイビジョン液晶ディスプレイに応用していく場合には上記の問題点は、さらに顕著になる。

10 【0008】 第3の問題点は、従来通りゲート電極を不純物添加多結晶シリコン膜のみで構成した場合には、その膜厚を5000Åとしてもそのシート抵抗は15Ω/□程度にしか下がらない。さらに低抵抗化するには、膜厚を5000Å以上にする必要がある。しかし、これでは素子の表面の凹凸が大きくなり、その上に形成される膜あるいは配線の段差被覆性に問題を生じ、歩留り低下の大きな要因となる。

20 【0009】 第4の問題点は、低抵抗化を目的としてシリサイドを用いた場合に、石英基板に対するシリサイドの応力が大きいことである。線膨張率の値を比べてみると石英基板が $5.5 \times 10^{-7} / \text{deg.}$ であるのに対して、 MoSi_2 が $8.25 \times 10^{-6} / \text{deg.}$ 、 WSi_2 が $6.25 \times 10^{-6} / \text{deg.}$ 程度と石英基板に対して1桁以上も大きい【半導体研究24、工業調査会、1986年】。従って、石英基板上のシリサイド膜は応力を受けて、膜にクラック等が入りやすくなるものと考えられる。これも歩留り低減の原因になる。

30 【0010】 一方、薄膜トランジスタのオフ領域におけるリーク電流（以下、オフリーク電流という）が大きいと、画素の保持特性が劣化する。このため、優れた液晶ディスプレイを実現するには、オフリーク電流を低減させることが必要となる。通常の薄膜トランジスタのオフリーク電流は、ドレイン領域近傍の電界強度に強く依存しており、ゲート電圧をオフ側に大きくしてゆくとオフリーク電流は大きくはね上がる。オフリーク電流を低減させるためには、LDD (Lightly doped drain) 構造あるいはオフセットゲート構造を形成することが有効であることが従来より知られている。

40 【0011】 しかし、従来のLDD構造あるいはオフセットゲート構造を作製する場合には、異方性エッチングを利用してゲート電極の側壁を設けるなどの複雑な工程を必要としていた。

50 【0012】 すなわち、上記のような従来の方法の問題点を解決するためには、ゲート電極のシート抵抗の値を従来の3分の1の5~8Ω/□程度に下げる必要がある。その方法のひとつとして、最下層に多結晶シリコン膜、中間層にシリサイド膜、最上層に多結晶シリコン膜を積層した3層構造を1回のフォトリソエッチングでパターンニングし、その3層構造をゲート電極とする方法が提案されている【Proceedings of The

12th International Display Research Conference (Japan Display 1992) 451}。

【0013】図18は多結晶シリコン／シリサイド／多結晶シリコンの3層膜を1回のフォトエッチングすることによって形成されたゲート電極を含む薄膜トランジスタの構造を示す断面図である。181は絶縁基板、182は半導体薄膜、183はソース領域、184はドレイン領域、185はゲート絶縁膜である。186は最下層の多結晶シリコン膜、187は中間層のシリサイド膜、188は最上層の多結晶シリコン膜を示しており、これらは3層ゲート電極を構成している。189は層間絶縁膜、190はソース電極、191はドレイン電極である。

【0014】しかしながら、通常のゲート電極構造では問題はないが、オフセットゲート構造を形成するためにさらに過剰にエッチングすると、シリサイド膜のエッチングレートが最も大きいために、図18に示すように、中間層のシリサイド膜が速くエッチングされてオーバーハング形状になってしまう。このため、層間絶縁膜189の段差上での被膜性が悪くなり、その上に形成される配線の断線率が大きくなってしまふ。このように、従来の半導体装置の製造方法では、ゲート線を低抵抗化し、かつオフセットゲート構造を実現することは難しかった。

【0015】

【発明が解決しようとする課題】本発明の目的は、このような低抵抗なゲート電極を用いてオフセットゲート構造の薄膜半導体装置を従来のプロセスと比べても難しくない方法で実現させ、オフリーク電流が小さく、しかもゲート線抵抗の低い優れた薄膜半導体装置を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、ソース領域、ドレイン領域、ゲート絶縁膜およびゲート電極を有するプレーナ型薄膜半導体装置において、前記ゲート絶縁膜の上に形成されるゲート電極は、最下層の不純物添加された多結晶シリコン薄膜と、中間層のシリサイド膜と、これら2層構造の上に積層された最上層の高抵抗の多結晶シリコン膜とから構成される3層ゲート電極であることを特徴とする。

【0017】請求項2記載の発明は、ソース領域、ドレイン領域、ゲート絶縁膜およびゲート電極を有するプレーナ型薄膜半導体装置において、前記ゲート絶縁膜の上に形成されるゲート電極は、最下層の不純物添加された多結晶シリコン薄膜と、中間層のシリサイド膜と、これら2層構造の上に積層された最上層の多結晶シリコン膜とから構成される3層ゲート電極であり、かつ前記最上層の多結晶シリコン膜のパターンをマスクとした不純

物のイオン注入により形成されたLDD構造を有することを特徴とする。

【0018】ここで、請求項1または2に記載の薄膜半導体装置において、前記2層構造のパターン寸法は、前記最上層の高抵抗の多結晶シリコン膜のパターン寸法よりも小さく、かつ、前記2層構造のパターンは、前記最上層の高抵抗の多結晶シリコン膜のパターンにより完全に覆われていてもよい。

【0019】請求項1または2に記載の薄膜半導体装置において、前記ソース領域およびドレイン領域は、前記最上層の高抵抗の多結晶シリコン膜のパターンに対して自己整合的に形成されたものであってもよい。

【0020】請求項1または2に記載の薄膜半導体装置において、前記シリサイド膜は、コバルトシリサイド(CoSi₂)、ニッケルシリサイド(NiSi)、チタンシリサイド(TiSi₂)、モリブデンシリサイド(MoSi₂)、およびタングステンシリサイド(WSi₂)からなる群より選ばれた材料を含むものでもよい。

【0021】請求項1または2に記載の薄膜半導体装置において、前記3層ゲート電極における最下層の不純物添加された多結晶シリコン薄膜は、リン、砒素、およびボロンからなる群より選ばれた不純物元素が添加されたものであってもよい。

【0022】請求項7記載の発明は、(a)絶縁性非晶質材料からなる基板上に第1の半導体層を形成し、該半導体層上にゲート絶縁膜を形成する工程と、(b)該ゲート絶縁膜上に不純物添加された多結晶シリコン膜を成膜する工程と、(c)該不純物添加された多結晶シリコン膜上にシリサイド膜を成膜する工程と、(d)1回のフォト工程により、前記不純物添加された多結晶シリコン膜とシリサイド膜の2層膜を同時にパターンニングする工程と、(e)前記パターンニングされた2層膜の上に最上層の高抵抗の多結晶シリコン膜を成膜する工程と、

(f)レジストパターンを形成し、該レジストパターンをマスクとしてエッチングを行い、前記最上層の高抵抗の多結晶シリコン膜をレジストパターンと同じパターンに加工する工程と、(g)前記レジストパターンをマスクとして不純物をイオン注入することにより、前記高抵抗の多結晶シリコン膜のパターンに対して自己整合的に前記第1の半導体層にソース領域およびドレイン領域を形成する工程と、(h)前記レジストパターンを剥離した後に、層間絶縁膜を成膜する工程と、(i)フォト工程により、前記層間絶縁膜にコンタクトホールを形成して前記ソース領域およびドレイン領域の上に電極を形成する工程を少なくとも有することを特徴とする。

【0023】ここで、請求項7記載の薄膜半導体装置の製造方法において、前記(f)工程～(i)工程に代えて、(f')レジストパターンを形成し、該レジストパターンをマスクとしてエッチングを行い、前記最上層の

7

多結晶シリコン膜をレジストパターンと同じパターンに加工する工程と、(g') 前記レジストパターンを剥離する工程と、(h') 層間絶縁膜を成膜した後に、前記最上層の多結晶シリコン膜のパターンをマスクとして不純物をイオン注入することにより、前記最上層の多結晶シリコン膜のパターンに対して自己整合的に前記第1の半導体層にソース領域およびドレイン領域を形成すると同時に、前記シリコン膜とシリサイド膜の2層膜のパターンに対して自己整合的にLDD領域を形成する工程と、(i') フォト工程により、前記層間絶縁膜にコンタクトホール形成して前記ソース領域およびドレイン領域の上に電極を形成する工程を含むものでもよい。

【0024】請求項8記載の薄膜半導体装置の製造方法において、前記(h') 工程および(i') 工程に代えて、(h'') 前記最上層の多結晶シリコン膜のパターンをマスクとして不純物をイオン注入することにより、前記最上層の多結晶シリコン膜のパターンに対して自己整合的に前記第1の半導体層にソース領域およびドレイン領域を形成すると同時に、前記シリコン膜とシリサイド膜の2層膜のパターンに対して自己整合的にLDD領域を形成する工程と、(i'') 層間絶縁膜を成膜する工程と、(j) フォト工程により、前記層間絶縁膜にコンタクトホールを形成して前記ソース領域およびドレイン領域の上に電極を形成する工程を含むものでもよい。

【0025】さらに、請求項7、8または9のいずれかに記載の薄膜半導体装置の製造方法において、前記(b) 工程における最下層不純物添加された多結晶シリコン薄膜の成膜は、多結晶シリコン薄膜へのイオン注入法、LPCVD (Low Pressure Chemical Vapor Deposition) 法、PECVD (Plasma Enhanced CVD) 法、スパッタ法、または拡散法の方法によりなされてもよい。

【0026】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0027】【実施例1】まずはじめに、本発明の薄膜半導体装置の第1の実施例であるオフセットゲート構造を有する薄膜トランジスタの断面構造を図1に示す。図1において符号1は絶縁性透明基板、3は多結晶シリコン膜、4はゲート絶縁膜である。5は最下層の不純物添加された多結晶シリコン膜、6は中間層のシリサイド膜、7は最上層の高抵抗の多結晶シリコン膜をそれぞれ示し、これらは、3層ゲート電極を構成している。さらに、8はソース領域、9はドレイン領域、11は層間絶縁膜、12はソース電極、13はドレイン電極をそれぞれ示す。最下層の不純物添加された多結晶シリコン膜5と中間層のシリサイド膜6との2層構造のパターン端と最上層の高抵抗の多結晶シリコン膜7のパターン端との距離L₁をオフセット長と呼ぶ。

8

【0028】次に、図1に示したようなオフセットゲート構造薄膜トランジスタの製造方法を図2～図13を参照して説明する。

【0029】図2に示すように、絶縁性非晶質材料からなる絶縁性透明基板1上に、非単結晶半導体薄膜2を成膜する。ここで、上記絶縁性非晶質材料としては、石英、ガラス、窒化膜あるいはSiO₂膜等が用いられる。絶縁性透明基板21として石英基板を用いる場合はプロセス温度は1200℃程度まで許容されるが、ガラス基板では、600℃以下の低温プロセスに制限される。以下では、石英基板を用い、前記非単結晶半導体薄膜2として固相成長Si薄膜を用いた場合を実施例として説明する。もちろん、固相成長Si薄膜ばかりでなく、減圧CVD法やプラズマCVD法あるいはスパッタ法等で成膜された多結晶Si薄膜やSOI (Silicon on Insulator) を用いても本発明を実施することができる。

20

【0030】図2に示すように石英基板1上に、プラズマCVD装置を用い、SiH₄とH₂の混合ガスを、13.5MHzの高周波グロー放電により分解させて非晶質Si膜22を堆積させる。ここで用いられる混合ガスのSiH₄分圧は10～20%、デポジット中の内圧は0.5～1.5 torr程度である。基板温度は250℃以下、特に180℃程度が適している。赤外吸収測定より結合水素量を求めたところ約8原子%であった。非晶質Si膜2の堆積前のチャンバがフレオン洗浄されている場合に、そのフレオン洗浄後に堆積した非晶質Si膜は $2 \times 10^{18} \text{ cm}^{-3}$ 程度の弗素を含むことがある。これを避けるため、本発明においては、フレオン洗浄後、ダミーの堆積を行ってから、実際の堆積を行う。あるいは、フレオン洗浄をせずに、ピーズ処理等の別の方法でチャンバの洗浄を行う場合には、ダミーの堆積は不要となる。

30

【0031】続いて、非晶質Si膜2を、400℃～500℃で熱処理して水素を放出させる。この工程は、水素の爆発的な脱離を防ぐことを目的としている。

40

【0032】次に、図3に示すように、非晶質Si薄膜2を固相成長させて固相成長シリコン薄膜23を形成する。固相成長には、石英管により炉アニールを用いるのが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いることができる。また、 1×10^{-8} から 1×10^{-10} torrの高真空雰囲気アニールを行ってもよい。固相成長アニール温度は500℃～700℃とする。このような低温アニールでは、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが選択的に成長し、しかもゆっくりと大きく成長する。本発明者の実験において、アニール温度600℃、アニール時間16時間で固相成長させることにより2μm以上の大粒径シリコン薄膜が得られている。

50

【0033】以上は、固相成長法によるシリコン薄膜の作製方法について説明したが、そのほかに、LPCVD法あるいはスパッタ法や蒸着法等の方法で作製したシリコン薄膜を本発明に用いることができる。

【0034】次に、固相成長シリコン薄膜3を例えばフォトリソグラフィ法によって図4に示すように島状にパターニングする。

【0035】次に、図5に示すように、パターニングされた固相成長シリコン薄膜3上にゲート酸化膜4を形成する。ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法を挙げることができる。このような低温方法により成膜されたゲート酸化膜は、熱処理することによってより緻密で界面準位の少ない優れた膜となる。非晶質絶縁基板1として石英基板を用いる場合は、熱酸化法によることができる。この熱酸化法にはドライ酸化法とウェット酸化法とがある。約800℃以上で酸化膜が生成されるが、石英基板を用いるには例えば1000℃以上のなるべく高い温度でドライ酸化させるのが適している。上記ゲート酸化膜4の膜厚は、500Åから1500Å程度が適している。

【0036】ゲート酸化膜4の形成後、必要に応じてボロンをチャンネルイオン注入し、チャンネルドーピングしてもよい。これは、Nch薄膜トランジスタのスレッショルド電圧がマイナス側にシフトすることを防ぐことを目的としている。前記非晶質シリコン膜のデポ膜厚が500～1500Å程度の場合は、ボロンのドーピング量は $1 \times 10^{12} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度が適している。非晶質シリコン膜23の膜厚を500Å以下に薄くした場合にはボロンドーピング量を少なくし、目安としては $1 \times 10^{12} \text{ cm}^{-2}$ 以下にする。また、上記非晶質シリコン膜23の膜厚を1500Å以上に厚くした場合にはボロンのドーピング量を多くし、目安としては $5 \times 10^{12} \text{ cm}^{-2}$ 以上にする。

【0037】上記チャンネルイオン注入に代えて、シリコン膜2の堆積時にボロンを添加してもよい。これは、シリコン膜堆積時にチャンバ中にシランガスと共にジボランガス(B_2H_6)を流して反応させることによって得られる。

【0038】次に、3層ゲート電極の作製プロセスを説明する。図6に示すようにゲート酸化膜4および絶縁性透明基板1の上に、最下層の不純物添加された多結晶シリコン膜5を成膜する。まず、拡散法を用いた成膜方法について説明する。LPCVD法等の方法で多結晶シリコン膜を堆積させて、その後900～1000℃の POCl_3 ：拡散法によりPを前記多結晶シリコン膜に添加する。このとき、多結晶シリコン膜上には薄い酸化膜が形成されているので、フッ酸を含む水溶液で上記酸化膜を除去する。イオン注入法によりPを添加することもでき

る。その他にドーピングされた多結晶シリコン膜を堆積させることにより最下層膜25とする方法もある。これは、 SiO_2 ガスと PH_3 ガスの混合ガスを分解させることにより成膜する方法である。LPCVD法では500～700℃での熱分解、PECVD(Plasma Enhanced CVD)法ではグロー放電分解によって不純物添加多結晶シリコン膜が成膜される。PECVD法では300℃程度で非晶質シリコン膜を成膜することができる。前述したような固相成長法により、このドーピングされた非晶質シリコン膜を高品質な多結晶シリコン膜に成長させることも有効な方法である。

【0039】上記のような方法のいずれかにより $1 \times 10^{19} \text{ cm}^{-3}$ 以上のPが添加された多結晶シリコン膜を500～2000Å程度堆積させる。

【0040】続いて図7に示すように、最下層膜25の上に中間層のシリサイド膜6を成膜し、多結晶シリコン／シリサイド2層膜を形成する。成膜方法としては、別々のルツボから金属とシリコンを同時に蒸着するコエバポレーション法、あるいはスパッタリング法、あるいはシラン(SiH_4)ガスと金属弗化物ガス(例えば、 MoF_6 、 WF_6 等)の熱分解によるCVD法等の方法を選択することができる。シリサイド膜の組成比の制御性が優れている点から、上記の方法のなかで金属とシリコンの混晶ターゲットを用いたスパッタ法が好適である。

【0041】例えば、シリサイド膜として MoSi_2 膜を用いる場合には、 MoSi_3 等のようなストイキオメトリよりもシリコンリッチな組成比を持つ混晶ターゲットを用いてスパッタリングする。これは成膜された膜をストイキオメトリな組成に近づけることと、応力を緩和させることを目的としている。膜厚については、先にも述べたように、シリサイド膜と石英基板とを比べるとその線膨張率は1桁以上も異なるので、シリサイド膜の膜厚は厚くても2500Å程度が限界である。これ以上の膜厚にすると、膜自身にクラックがはいってしまう可能性があるからである。

【0042】次に、フォトリソグラフィ法により図8に示すように前記多結晶シリコン／シリサイド2層膜をパターニングする。このとき、多結晶シリコン／シリサイド2層膜のパターンの幅は、薄膜トランジスタのチャンネル長よりも少なくとも2μm以上細くする。上層のシリサイド膜6のエッチングレートの方が下層の多結晶シリコン膜5のエッチングレートよりも大きいので、オーバーハングや逆テーパ形状とはならない。

【0043】続いて図9に示すように、3層ゲート電極の最上層となる高抵抗の多結晶シリコン膜7を成膜する。成膜方法については、これまでに述べてきた方法と同様の方法を用いることができるので、その説明を省略する。ただし、できるだけ400℃以下の低温成膜方法を用いればシリサイド膜6の表面酸化を防ぐことができる。LPCVD法でも、400℃以下のチャンバに基板

を載置した後に、チャンバを真空または減圧状態とし、これを保持したままで所定の温度に昇温させて成膜すれば問題はない。3層全体の厚さから考えると、最上層の多結晶シリコン膜の膜厚はなるべく薄い方がよい。1000Å以下、できれば500Å以下の膜厚が適している。また、この膜には高抵抗とするため不純物を添加しない方がよい。

【0044】次に、図10に示すように、多結晶シリコン/シリサイド2層膜のパターンを完全に覆うようにレジストマスク10を形成し、最上層の高抵抗の多結晶シリコン膜7をエッチングする。多結晶シリコン/シリサイド2層膜のパターン端とレジストマスク10のパターン端との距離を L_1 とする。図中、 L_1 は、少なくとも1μm以上に設定し、1~1.5μm程度が適している。最上層の高抵抗の多結晶シリコン膜7のパターンとレジストマスク10のパターンが同じになったところでエッチングを終了する。エッチングはドライエッチング装置を用いて行う。通常は、フロンガス(CF₄)をプラズマ放電させることによって多結晶シリコンあるいはシリサイド膜あるいはポリサイド膜等をプラズマエッチングする。このとき、酸素ガス(O₂)を混合させるとマスクとなっているレジストもエッチング除去しながらゲート電極を加工していくことができる。従って、テーパー形状のゲート電極が形成される。O₂ガスのガス分圧を大きくすると、よりなだらかなテーパー形状になる。このように、分圧比によりテーパー形状を制御することができる。シリサイド膜6のエッチングレートは、不純物添加され多結晶シリコン膜5のエッチングレートよりも大きいので、多結晶シリコン/シリサイド2層膜は逆テーパー形状にはならない。

【0045】次に図11に示すように、イオン注入方により、第1の半導体層としての固相成長シリコン薄膜3に対しアクセプター型またはドナー型の不純物をイオン注入し、最上層の高抵抗の多結晶シリコン膜7のパターンに対して上記シリコン薄膜23に自己整合的にソース領域およびドレイン領域を形成する。図11において、8は高濃度にイオン注入されたソース領域を示し、9はドレイン領域を示している。

【0046】上記イオン注入のアクセプター型の不純物としては、ボロン(B)等を用いることができる。また、ドナー型の不純物としては、リン(P)あるいは砒素(As)等を用いることができる。不純物添加方法としては、イオン注入法の他に、イオンシャワードーピング法あるいはレーザードーピング法あるいはプラズマドーピング法などの方法を選択することができる。ただし、イオン注入法あるいはイオンシャワードーピング法はゲート酸化膜を通して不純物を添加することができるが、レーザードーピング法あるいはプラズマドーピング法を用いる場合には、不純物を添加する部分のシリコン表面を露出させなければならない。IBで示される矢印は不

純物のイオンビームを表している。前記絶縁性非晶質基板1として石英基板を用いていれば熱拡散法を使うことができる。不純物ドーザ量は、 1×10^{14} から $1 \times 10^{17} \text{ cm}^{-2}$ 程度とする。不純物濃度に換算すると、ソース領域8およびドレイン領域9は約 1×10^{19} から $1 \times 10^{22} \text{ cm}^{-2}$ 程度である。

【0047】続いて図12に示すようにレジストマスク10を剥離した後、層間絶縁膜11を積層する。この層間絶縁膜11としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚は特定されないが、数千Åから数μm程度が通常である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH₃)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。続いて、前記層間絶縁膜の緻密化と前記ソース領域およびドレイン領域の活性化と結晶性の回復を目的として活性化アニールを行う。この活性化アニールの条件としては、N₂ガス雰囲気中で800~1000℃程度に低温化し、アニール時間を20分~1時間程度とする。900~1000℃では20分程度のアニールで不純物はかなり活性化される。800~900℃では20分から1時間のアニールをする。一方、はじめに500~800℃で1~20時間程度のアニールにより結晶性を充分に回復させた後、900~1000℃の高温で活性化させるという2段階活性化アニール法も効果がある。また、赤外線ランプやハロゲンランプを用いたRTA(Rapid Thermal Annealing)法も効果がある。さらには、レーザービーム等を用いたレーザー活性化法を利用することも効果がある。

【0048】次に、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、結晶粒界に存在するダングリングボンドや、ゲート酸化膜界面などに存在する欠陥や、ソース、ドレイン部とチャネル部との接合部に存在する欠陥が不活性化される。このような水素化工程は、層間絶縁膜211を積層する前に行ってもよく、あるいは、後述するソース電極とドレイン電極の形成工程後に行ってもよい。

【0049】次に図13に示すように、層間絶縁膜11にコンタクトホールをフォトリソエッチングにより形成し、これらコンタクトホール内にソース電極12およびドレイン電極13をそれぞれ形成する。ソース電極12およびドレイン電極13は、アルミニウム、クロムまたはモリブデンなどの金属材料で形成する。このようにして図1に示したような構造のオフセットゲート構造薄膜トランジスタを形成することができる。

【0050】本発明におけるシリサイド膜を用いた3層ゲート電極によって、ゲート線のシート抵抗を、従来の多結晶の場合の25Ω/□から3分の1の8Ω/□程度

に低減することができる。従って、先にも述べたように、液晶ディスプレイが抱える様々な問題点を解決することができる。

【0051】ゲート線には左右両側からゲート信号が送られているので、ゲート線に断線が生じて、ゲート線抵抗が十分に小さいので信号遅延が小さく、ディスプレイの画面表示にはなんら影響がない。従って、ソース線とゲート線の短絡が生じていても、その短絡点の両側のゲート線を切断することによって短絡欠陥を救済することができる。このように、歩留り向上に対して大きな効果がある。

【0052】ゲート線抵抗が小さくなるので、ゲート線の時定数 τ が低減する。従って、画面の中央と端での画素トランジスタの立ち上がり特性が均一になる。その結果、フリッカあるいは表示ムラを低減することができる。しかも、ゲート線のライン容量を低減させなくてもよいので、画素の保持特性が低下することはない。このように、本発明により、画素保持特性を低下させることなく、フリッカあるいは表示ムラの極めて少ない液晶ディスプレイを実現することができる。

【0053】ハイビジョン用TFTに関しては、投影型のディスプレイとして構成するために、ライトバルブ等が要求されることから4インチ程度の大きなTFTパネルを作製しなければならない。このように長いゲート線を有するパネルを作製する場合に、本発明の効果は一段と大きくなる。

【0054】ゲート線が低抵抗化されるので、付加的な画素保持容量線を廃止することが可能になる。従って、開口率が向上し、その結果、非常に明るい液晶ディスプレイを実現することが可能となる。

【0055】3層ゲート電極のうち、最下層を多結晶シリコン膜で形成したことにより、石英基板とシリサイド膜との応力を緩和する効果が得られる。従って、膜のクラック等の熱膨張率の違いに起因する欠陥をなくすることができる。シリサイド膜の石英基板への密着も改善されるので、フォトリソエッチングの時に、密着力不足から生じる異常エッチを防ぐことができる。

【0056】また、オフセットゲート構造薄膜トランジスタにおいては最上層の多結晶シリコン膜が高抵抗のために、ゲート電極として機能しない。実効的にゲート電極として働くのは多結晶シリコン/シリサイド2層膜のみである。したがって、ソース、ドレイン領域は前記最上層の高抵抗の多結晶シリコン膜のパターンに対して自己整合的に形成されているために、前記多結晶シリコン/シリサイド2層膜のパターン端と最上層の高抵抗の多結晶シリコン膜のパターン端との距離がオフセット長 L_1 となる。このように側壁の形成、あるいはゲート電極の過剰エッチングのような工程を通さなくても簡単にオフセットゲート構造を有する薄膜トランジスタを作製することができる。工程の簡略化ができるのでコストの低

減、および歩留り向上に対して大きな効果がある。

【0057】〔実施例2〕図14は本発明の薄膜半導体装置の第2の実施例であるLDD構造薄膜トランジスタを説明するための構造断面図である。図14において、ソース領域8およびドレイン領域9は不純物が高濃度に添加されており、LDD領域15の不純物濃度は低い。最上層の多結晶シリコン膜16をパターンを形成した後に行うイオン注入により最上層の多結晶シリコン膜16のパターンを通過して不純物が添加された部分15はLDD領域になり、ゲート酸化膜のみを通過して不純物が添加された部分は高濃度になり、ソース領域8およびドレイン領域9となる。

【0058】次に、図14に示したLDD構造薄膜トランジスタの製造方法を図15～図17を参照して説明する。

【0059】本実施例の製造工程は先の実施例の製造工程のうち図2から図9までに説明した工程と同じであるので図10以降の工程から説明する。先に述べたオフセットゲート薄膜トランジスタの製造方法とは、最上層の多結晶シリコン膜が低抵抗であることと、ソース領域およびドレイン領域を工程中のどこで形成するかという点だけに相違がある。最上層の多結晶シリコンは、低抵抗とするために不純物を添加した方がよい。図10においてレジストマスク10を剥離して図15に示すような構造を形成し、次に、図16に示すように、層間絶縁膜11を成膜した後、イオン注入法により、固相成長シリコン薄膜3に対しアクセプター型またはドナー型の不純物をイオン注入し、前記最上層の多結晶シリコン膜16のパターンに対して自己整合的にソース領域8およびドレイン領域9を形成する。このとき、ソース領域8およびドレイン領域9とゲート絶縁膜4との界面付近に不純物の濃度ピークがくるようにイオン注入の加速エネルギーを設定する。図中15で示した部分は、最上層の多結晶シリコン膜16を通して不純物イオンが打ち込まれて前記ソース領域8およびドレイン領域9に比べ不純物濃度の低いLDD領域である。図15および図16において3で示される部分はシリコン/シリサイド2層膜によって不純物が完全に阻止されたチャネル領域である。このように1回のイオン注入により、自動的にLDD構造薄膜トランジスタが形成される。

【0060】また、層間絶縁膜11を堆積する前にイオン注入を行えば、層間絶縁膜堆積後にイオン注入する場合よりも低い加速エネルギーで不純物を打ち込むことができる。その後に、層間絶縁膜を成膜すればよい。

【0061】次に、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、結晶粒界に存在するダングリングボンドや、ゲート酸化膜界面などに存在する欠陥や、ソース、ドレイン部とチャネル部との接合部に存在する欠陥が不活性化される。このような水素

化工程は、層間絶縁膜11を積層する前に行ってもよい。あるいは、後述するソース電極8とドレイン電極9を形成してから前記水素化工程を行ってもよい。

【0062】次に図17に示すように、層間絶縁膜11およびゲート絶縁膜4にコンタクトホールをフォトリソエッチングにより形成する。そして同図に示すようにソース電極12およびドレイン電極13を形成する。これらソース電極12およびドレイン電極13は、アルミニウム、クロムまたはモリブデンなどの金属材料で形成する。このようにしてLDD構造薄膜トランジスタを形成することができる。

【0063】このようなLDD構造薄膜トランジスタに関しては、1回のイオン注入によって自動的にソース領域およびドレイン領域とLDD領域が形成される。このように簡単な工程でLDD構造薄膜トランジスタが作製できるので、薄膜トランジスタのオフリーク電流低減に対して非常に大きな効果がある。また、先に述べたオフセットゲート構造薄膜トランジスタではどうしてもオン電流の低下が避けられないが、このLDD構造ではオン電流の低下はほとんどない。

【0064】一方、シリサイド膜は非常に大きな凹凸の表面を持っているが、最上層に多結晶シリコン膜を積層させることにより、この凹凸はならされて平坦な表面を得ることができる。その結果、このゲート電力上に積層される酸化膜の密着が改善され、これにコンタクトホールを開ける場合の異常エッチが解消される。

【0065】オフセットゲート構造あるいはLDD構造を有しているので、オフリーク電流が低減される。従って、画素の保持特性が改善される。さらに、消費電流の低減に対しても大きな効果が期待される。

【0066】固相成長法を用いることによって、非晶質絶対基板上に結晶性の優れたシリコン薄膜を作製することが可能になったのでSOI技術の発展に大きく寄与するものである。ゲート線の低抵抗化は、固相成長等の方法で改善された薄膜トランジスタの特性を最大限に引き出し、非常に優れた液晶ディスプレイを実現する上で大きな効果がある。

【0067】本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果が大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズのような大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本継ぎのような手数がかかり信頼性の悪い技術を回避することができ、実

装歩留りも向上される。

【0068】石英基板やガラス基板だけではなく、サファイヤ基板あるいは $MgO \cdot Al_2O_3$ 、BP、 CaF_2 等の結晶性絶縁基板も用いることができる。

【0069】以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

【0070】固相成長法を例にとりて本発明について説明したが、本発明は固相成長法ばかりではなく、LPCVD法やその他の方法、例えばEB蒸着法やスパッタ法やMBE法で成膜したpoly-Si薄膜を利用して薄膜半導体装置を作製する場合にも応用することができる。また、一般的なMOS型半導体装置にも応用することができる。

【0071】

【発明の効果】以上説明したように、本発明によれば、ゲート線の低抵抗化とともに、オフセットゲート電極構造またはLDD構造を容易に形成することができるので、オフリーク電流も低減でき、薄膜トランジスタの特性向上に対して非常に大きな効果が期待される。

【図面の簡単な説明】

【図1】本発明の薄膜半導体装置の第1の実施例であるオフセットゲート構造の薄膜トランジスタを説明するための構造断面図である。

【図2】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図3】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図4】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図5】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図6】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図7】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図8】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図9】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図10】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図11】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図12】図1に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図13】図1に示した構造の薄膜トランジスタの製造

17

工程の一工程を説明するための断面図である。

【図14】本発明の薄膜半導体装置の第2の実施例であるLDD構造の薄膜トランジスタを説明するための構造断面図である。

【図15】図14に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図16】図14に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図17】図14に示した構造の薄膜トランジスタの製造工程の一工程を説明するための断面図である。

【図18】従来の技術の薄膜トランジスタの構造断面図である。

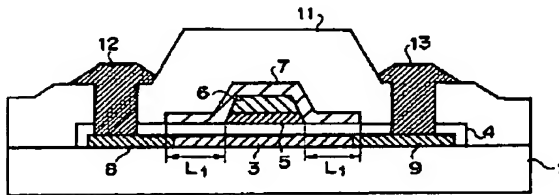
【符号の説明】

- 1 絶縁性透明基板
- 2 非単結晶半導体薄膜

18

- 3 多結晶シリコン膜
- 4 ゲート絶縁膜 (ゲート酸化膜)
- 5 最下層の不純物添加された多結晶シリコン膜
- 6 中間層のシリサイド膜
- 7 最上層の高抵抗の多結晶シリコン膜
- 8 ソース領域
- 9 ドレイン領域
- 10 レジストマスク
- 11 層間絶縁膜
- 12 ソース電極
- 13 ドレイン電極
- 15 LDD領域
- 16 最上層の多結晶シリコン膜
- L₁ オフセット長
- L₂ オフセット長

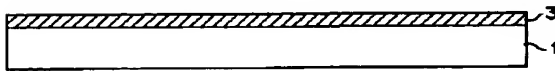
【図1】



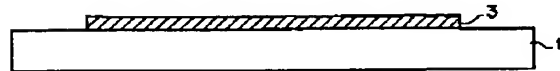
【図2】



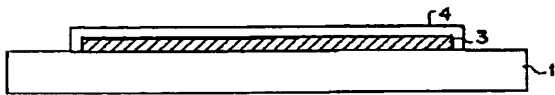
【図3】



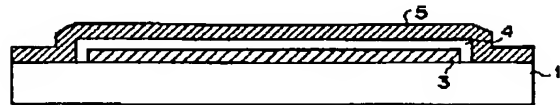
【図4】



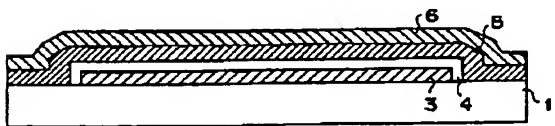
【図5】



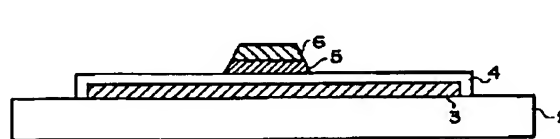
【図6】



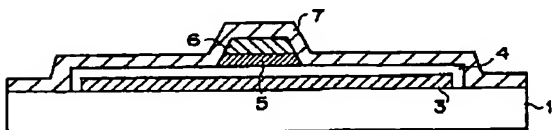
【図7】



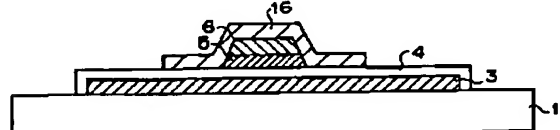
【図8】



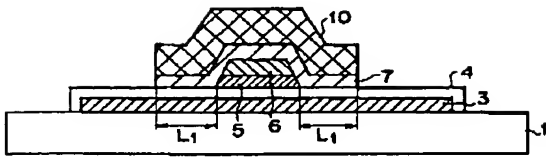
【図9】



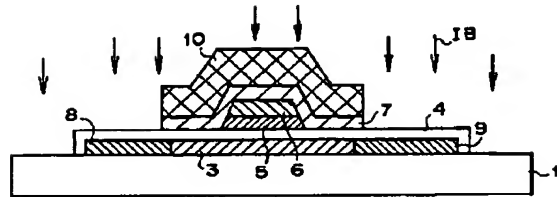
【図15】



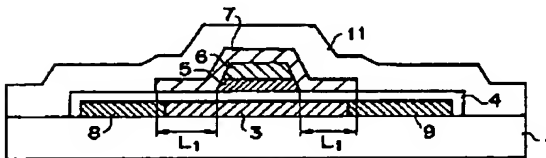
【図10】



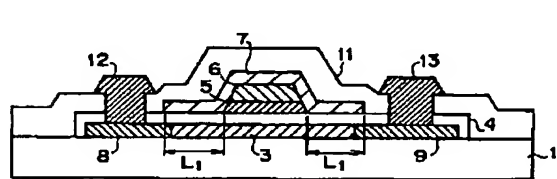
【図11】



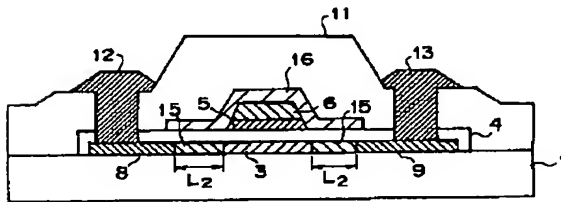
【図12】



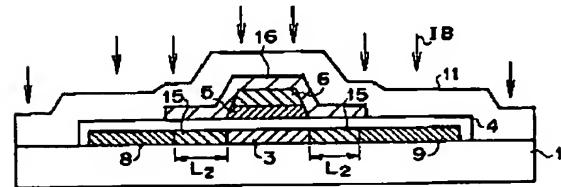
【図13】



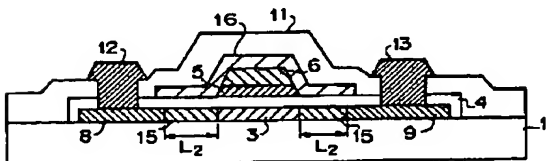
【図14】



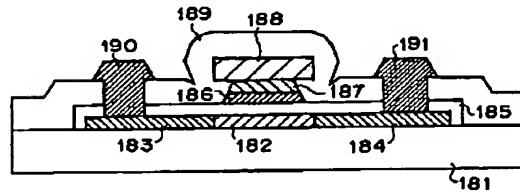
【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 5

H01L 29/40

21/336

識別記号

庁内整理番号

A 7376-4M

F I

技術表示箇所

9056-4M

H01L 29/78

311 P